

DDS集成芯片结构特点

直接数字频率合成(DDS Digital Direct Frequency Synthesis) 技术是一种新的频率合成方法，是频率合成技术的一次革命，JOSEPH TIERNEY 等3人于1971年提出了直接数字频率合成的思想，但由于受当时微电子技术和数字信号处理技术的限制，DDS技术没有受到足够重视，随着电子工程领域的实际需要以及数字集成电路和微电子技术的发展，DDS技术日益显露出它的优越性。

DDS是一种全数字化的频率合成器，由相位累加器、波形ROM、D/A转换器和低通滤波器构成。时钟频率给定后，输出信号的频率取决于频率控制字，频率分辨率取决于累加器位数，相位分辨率取决于ROM的地址线位数，幅度量化噪声取决于ROM的数据位字长和D/A转换器位数。

DDS有如下优点：频率分辨率高，输出频点多，可达 N 个频点(N 为相位累加器位数)；频率切换速度快，可达 μs 量级；频率切换时相位连续；可以输出宽带正交信号；输出相位噪声低，对参考频率源的相位噪声有改善作用；可以产生任意波形；全数字化实现，便于集成，体积小，重量轻，因此八十年代以来各国都在研制和发展各自的DDS产品，如美国QUALCOMM公司的Q2334，Q2220；STANFORD公司的STEL-1175，STEL-1180；AD公司的AD7008，AD9850，AD9854等。这些DDS芯片的时钟频率从几十兆赫兹到几百兆赫兹不等，芯片从一般功能到集成有D/A转换器和正交调制器。DDS除了用于跳频系统中外，还可以用于任意波形产生、信号调制等。随着高速集成电路的飞速发展，DDS必将开拓更多新的应用领域。

AD公司的常用DDS芯片选用列表：

型号	最大工作频率(MHz)	工作电压(V)	最大功耗(mw)	备注
AD9831	25	3.3/5	120	低电压，经济，内置D/A转换器
AD9832	25	3.3/5	120	小型封装，转型输入，内置D/A转换器
AD9833	25	2.5 ~ 5.5	20	10个管脚的uSOIC封装
AD9834	50	2.5 ~ 5.5	25	20个管脚的TSSOP封装并内置比较器
AD9835	50	5	200	经济，小型封装，转型输入，内置D/A转换器
AD9830	50	5	300	经济，并行输入，内置D/A转换器。
AD9850	125	3.3/5	480	内置比较器和D/A转换器
AD9851	180	3/3.3/5	650	内置比较器、D/A转换器和时钟6倍频器
AD9852	300	3.3	1200	内置12位的D/A转换器、高速比较器、线形调频和可编程参考时钟倍频器
AD9853	165	3.3/5	1150	可编程数字QPSK/16-QAM调制器
AD9854	300	3.3	1200	内置12位两路正交D/A转换器、高速比较器和可编程参考时钟倍频器
AD9858	1000	3.3	2000	内置10位的D/A转换器、150MHz相频监测器、充电泵和2GHz混频器

一、AD9850的结构

AD9850是AD公司采用先进的DDS技术1996年推出的高集成度DDS频率合成器，它内部包括可编程DDS系统、高性能DAC及高速比较器，能实现全数字编程控制的频率合成器和时钟发生器。接上精密时钟源，AD9850可产生一个频谱纯净、频率和相位都可编程控制的模拟正弦波输出。此正弦波可直接用作频率信号源或转换成方波用作时钟输出。AD9850接口控制简单，可以用8位并行口或串行口经、相位等控制数据。32位频率控制字，在125MHz时钟下，输出频率分辨率达0.029Hz。先进的CMOS工艺使AD9850不仅性能指标一流，而且功耗少，在3.3V供电时，功耗仅为155mW。扩展工业级温度范围为-40 ~ +85摄氏度，其封装是28引脚的SSOP表面封装。

AD9850采用32位相位累加器，截断成14位，输入正弦查询表，查询表输出截断成10位，输入到DAC。DAC输出两个互补的模拟电流，接到滤波器上。调节DAC满量程输出电流，需外接一个电阻 R_{set} ，其调节关系是 $I_{set}=32(1.248V/R_{set})$ ，满量程电流为10 ~ 20mA。 字串6

2.2 采用低频正弦波DDS单片电路的解决方案

Micro Linear公司的电源管理事业部推出低频正弦波DDS单片电路ML2035以其价格低廉、使用简单得到广泛应用。ML2035特性：(1)输出频率为直流到25kHz，在时钟输入为12.352MHz野外频率分辨率可达到1.5Hz(-0.75 ~ +0.75Hz)，输出正弦波信号的峰-峰值为 V_{cc} ；(2)高度集成化，

无需或 仅需极少的外接元件支持，自 带 3 ~ 12MHz 晶体振 荡电路；(3) 兼容的 3 线 SPI 串行输入口，带双缓 冲，能方便地配合 单片机使用；(4) 增益 误差和 总谐波失真很低。

ML2035 为 DIP-8 封装，各引脚功能如下：

- (1) Vss : -5V 电源；
- (2)SCK : 串行 时钟输入，在上升沿 将串行 数据锁入 16 位移位寄存器；
- (3) SID : 串行 数据输入，该串行 数据为频 率控制字，决定 6 脚输出的 频率； 字串 4
- (4) LATI : 串行 数据锁存，在下降沿 将频 率控制字 锁入 16 位数据锁存器；
- (5) Vcc : +5 电源；
- (6) Vout : 模 拟信号输出； 字串 1
- (7) GND : 公共地， 输入、 输出均以此点作 为参 考点；
- (8) CLK IN : 时钟输入，可外接 时钟 或石英晶体。

ML2035 生成 的频率较低 (0 ~ 25kHz)，一般 应用于一些需 产生的 频率为工频和音频的场合。如 用 2 片 ML2035 产生多 频互控信 号，并与 AMS3104 (多频接收芯片) 或 ML2031/2032 (音频检波器) 配合，制作通信系 统中的收 发电路等。

可编程正弦波 发生器芯片 ML2035 设计 巧妙，具有可 编程、使用方便、价格低廉等 优点，应用范 围广泛。很适合需要低成本、高可靠性的低 频正弦波信 号的场合。 字串 9

ML2037 是新一代低 频正弦波 DDS 单片电路，生成的最高 频可达 500kHz 。

2.3 自行设计的基于 FPGA 芯片的解 决方案

DDS 技术的实现依赖于高速、高性能的 数字器件。可编程逻辑 器件以其速度高、 规模在、可编程，以及有强大 EDA 软件支持等特性，十分适合 实现 DDS 技术。Altera 是著名的 PLD 生产厂商，多年 来一直占据着行 业领先的地位。Altera 的 PLD 具有高性能、高集成度和高性价比的 优点，此外 它还 提供了功能全面的 开发工具和丰富的 IP 核、宏功能外 它还 提供了功能全面的 开发工具和丰富的 IP 核、宏功 能库等，因此 Altera 的产品获得了广泛的 应用。Altera 的产品有多个系列，按照推出的先后 顺序依次 为 Classic 系列、MAX (Multiple Array Matrix) 系列、FLEX (Flexible Logic Element Matrix) 系列、APEX (Advanced Logic Element Matrix) 系列、ACEX 系列、Stratix 系列以及 Cyclone 等。 字串 2

Max+plusII 是 Altera 提供的一个完整的 EDA 开发软 件，可完成 从设备输入、编译、逻辑综合、器 件适配、设计仿真、定时分析、器件 编程的所有过程。QuartusII 是 Altera 近几年来推出的新一代可 编程逻辑器件设计环 境，其功能更 为强大。

用 Max+plusII 设计 DDS 系统数字部分最 简单的方法是采用原理 图输入。相位累加器 调用 lpm_add_sub 加减法器模 拟，相位累加器的好坏 将直接影响到整个系统的速度，采用流水 线技术能大 幅度地提升速度。波形存 储器 (ROM) 通过调用 lpm_rom 元件实现，其 LPM_FILE 的值 *.mif 是一个 存放波形幅 值的文件。波形存 储器设计主要考虑的问题是容量的大小， 利用波形幅 值的奇、偶对称特 性，可以节省 3/4 的资源，这是非常可 观的。为了进一步 优化速度的 设计，可以选择菜单 Assign|Globan Project Logic Synthesis 的选项 Optimize10 (速度)，并设定 Global Project Logic Synthesis Style 为 FAST，经寄存器性能分析最高 频率达到 100MHz 以上。用 FPGA 实现的 DDS 能工用在如此之高的 频率主要依 赖于 FPGA 先进的结构 特点。

AD9850 是 AD 公司生产的最高时钟为 125 MHz、采用先 进的 CMOS 技术的直接 频率合成器，主要由 可编程 DDS 系统、高性能模 数变换器 (DAC) 和高速比 较器 3 部分构成，能实现全数字编程控制的 频率合成。

1. AD9850 原理

AD9850 内含可编程 DDS 系统和高速比 较器，可实现全数字编程控制的 频率合成。可 编程 DDS 系统的核心是相位累加器， 由一个加法器和一 个 N 位相位寄存器 组成，N 一般为 24 ~ 32。每来一个外 部参考时钟，相位寄存器便以步 长 M 递加。相位寄存器的 输出与相位控制字相加后可 输入到正弦 查询 表地址上。正弦 查询表包含一个正弦波周期的 数字幅度信息，每一 个地址对应正弦波中 0° ~ 360° 范围 的一个相位点。查询 表把输入地址的相位信息映射成正弦波幅度信 号，然后驱动 DAC 输出模 拟量。

相位寄存器每 过 $2N/M$ 个外部参考时钟 后返回到初始 状态一次，相应地正弦 查询表 每经过一个循环也回到初始位置， 从而使整个 DDS 系统输出一个正弦波。输出的正弦波 频率 $f_{out} = M \cdot f_c / 2N$ ， f_c 为外部参考时钟频 率。

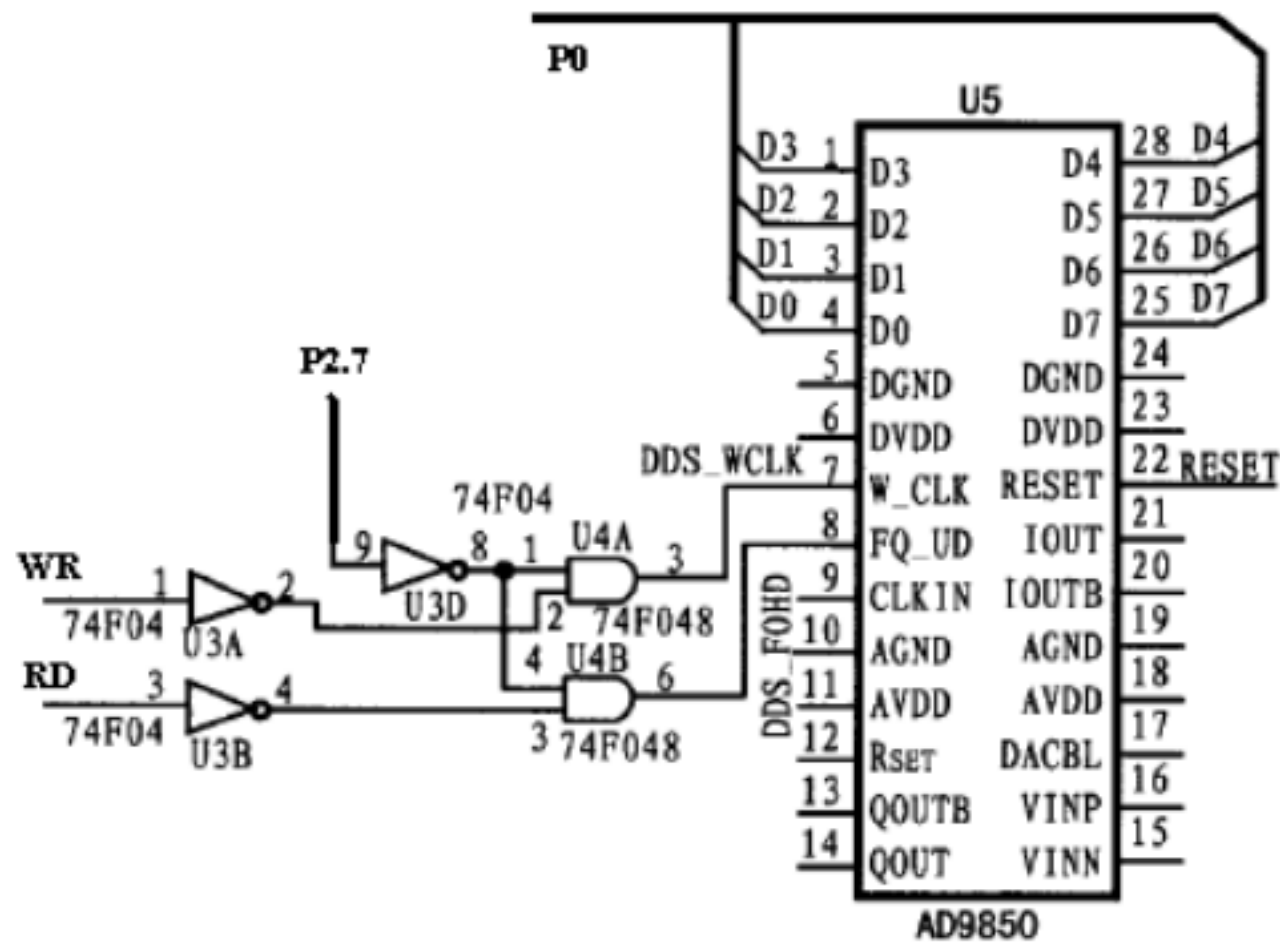
AD9850 采用 32 位的相位累加器 将信号截断成 14 位输入到正弦 查询表，查询表的输出再被截 断 成 10 位后输入到 DAC，DAC 再输出两个互补的电流。DAC 满量程输出电 流通过一个外接电阻 RSET 调节，RSET 的典型值是 3.9k。将 DAC 的输出经低通 滤波后接到 AD9850 内部的高速比 较器上即可 直接输出方波。在 125MHz 的时钟下，32 位频 率控制字可使 AD9850 输出频率分辨率 达 0.0291Hz。

2. 控制字 与时序

AD9850 有 40 位控制字，32 位用于频率控制（低 32 位），5 位用于相位控制，1 位用于电源休眠（Powerdown）控制，2 位用于选择工作方式。这 40 位控制字可通过并行或串行方式输入到 AD9850。在并行装入方式中，通过 8 位总线 D0—D7 将数据输入到寄存器，在 W-CLK 的上升沿装入 8 位数据，并把指针指向下一个输入寄存器，在重复 5 次之后再在 FQ-UD 上升沿把 40 位数据从输入寄存器装入到频率/相位数据寄存器（更新 DDS 输出频率和相位），同时把地址指针复位到第一个输入寄存器。

AD9850 的复位(RESET) 信号为高电平有效，且脉冲宽度不小于 5 个参考时钟周期。AD9850 的参考时钟频率一般远高于单片机的时钟频率（小系统所用为单片机 89C51，使用 12M 晶振），因此 AD9850 的复位(RESET) 端可与单片机的复位端直接相连。

3. 与单片机接口



W-CLK 和 FQ-UD 信号都是上升沿有效，用 MOVX @DPTR, A 指令向 AD9850 传送控制字时，P2.7 经反相并与反相后的信号相与得到一上升沿送至 AD9850 的 W-CLK 脚，此时已送到总线上的数据将被 AD9850 接收，连续五次将 40 位的控制字全部发送以后，用 MOVX A, @DPTR 指令产生 FQ-UD 信号，使 AD9850 更改输出频率和相位，此时读入到单片机内的数据实际上无任何意义。

4. 程序设计

```

ORG 0000H
MOV R0,#00H
DJNZ R0,$
AJMP MAIN
ORG 0100H
MAIN:MOV SP,#60H
MOV 30H,#00H
MOV 31H,#00H
MOV 32H,#099H
MOV 33H,#099H
MOV 34H,#099H
START:
MOV R0,#05H
MOV R1,#30H
MOV DPTR,#7FFFH
;五次送数
DD:MOV A,@R1
MOVX @DPTR,A
INC R1

```

```

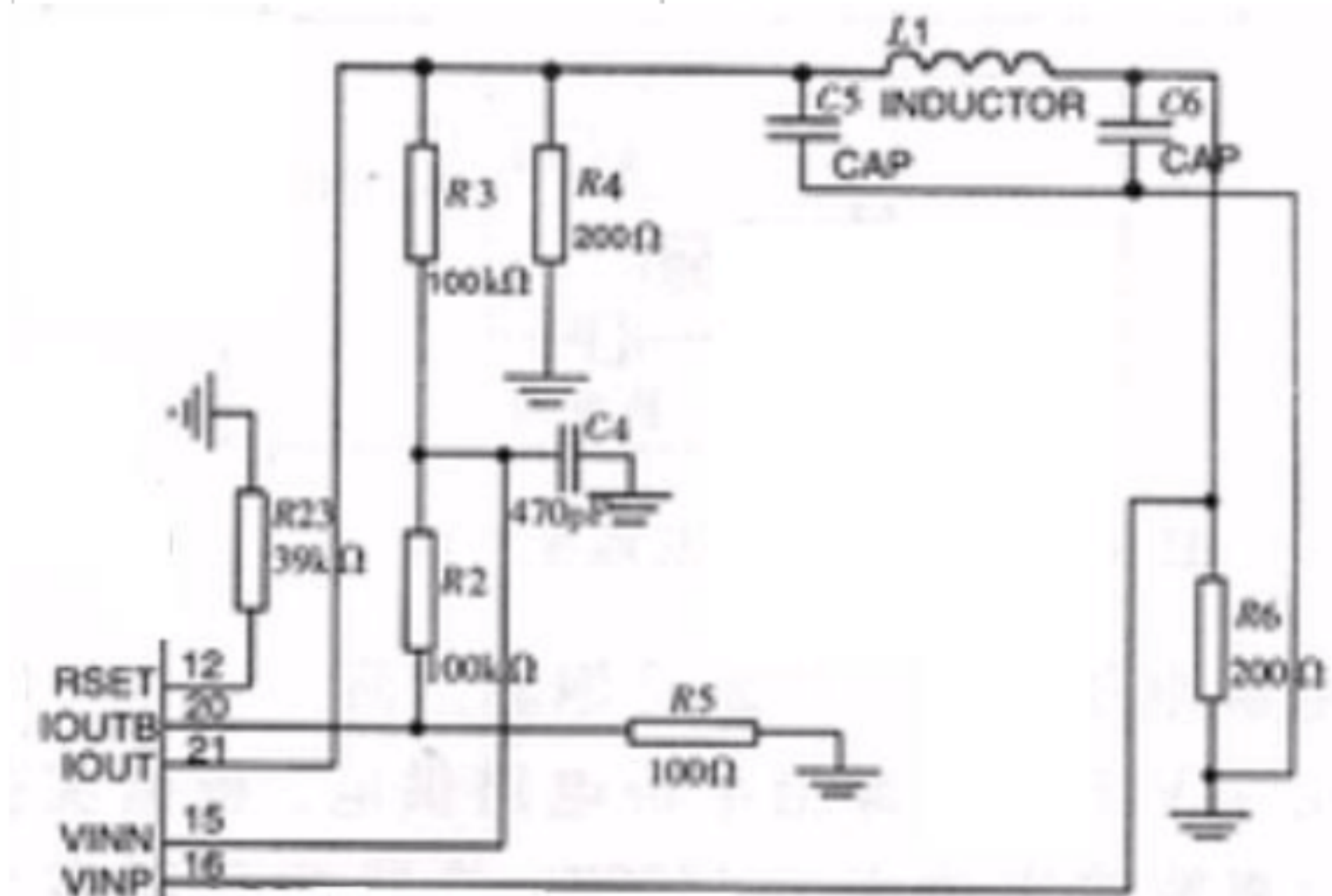
DJNZ R0,DD
MOVX A,@DPTR
AJMP $
END

```

5. 一点补充

如果还需要获得方波等，建议按照如下电路设计，Vinn 和 Vinp 对信号比较（内部比较器）即可产生高频方波。

如果只是要得到正弦波，那么，电路将极大简化，只需保留 Iout 的 200 欧（R4）负载电阻和电流互补输出的 100 欧（R5）电阻即可。



二、DDS 原理与 AD9852 的结构

基本的 DDS 是在高速存储器中放入正弦函数-相位数据表格，经过查表操作，将读出的数据送到高速 DAC 产生正弦波。常用的可编程 DDS 系统如图 1 所示。

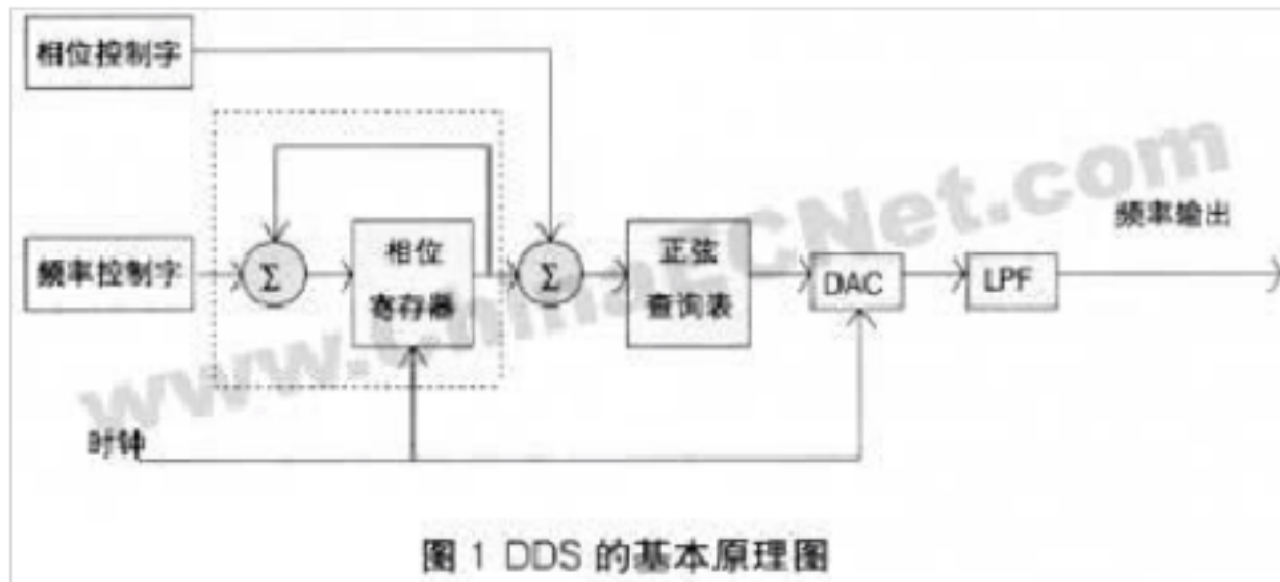


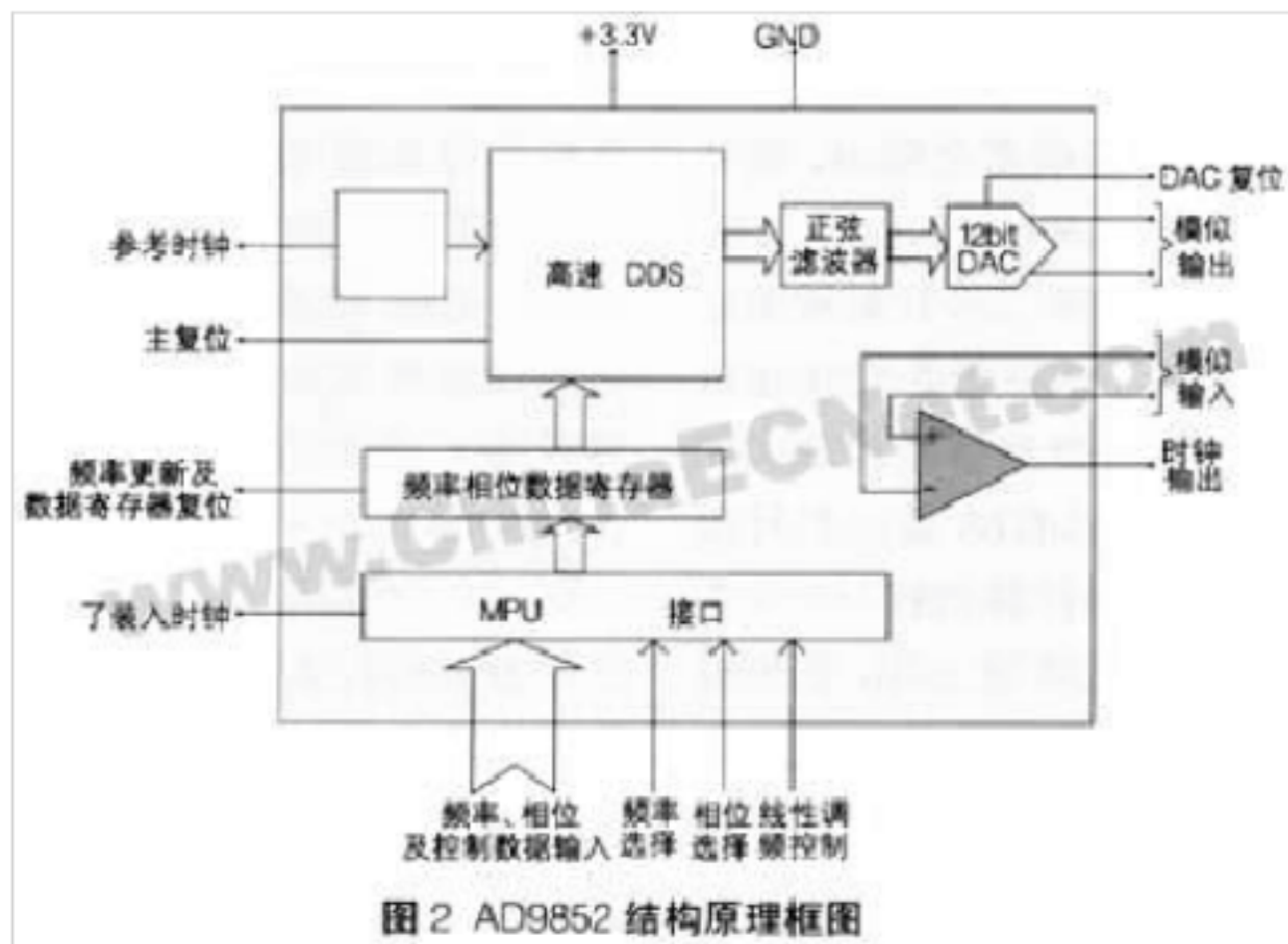
图 1 DDS 的基本原理图

DDS 系统由频率控制字、相位累加器、正弦查询表、D/A 转换器和低通滤波器组成。参考时钟一般为高稳定度的晶体振荡器，其输出用于同步 DDS 各组成部分的工作。

对于计数容量为 2^N 的相位累加器和具有 M 个相位取样点的正弦波形存储器，若频率控制字为 K ，输出信号频率为 f_0 ，参考时钟频率为 f_c ，则 DDS 系统输出信号的频率为：

$$f_0 = \frac{f_c K}{2^N} \quad (1)$$

AD9852 是由 ADI 公司生产的高性能 DDS 芯片，主要由 DDS 核心、寄存器、DAC、数字乘法器、反辛格函数滤波器、比较器、I/O 接口等电路组成。其系统功能框图如图 2 所示。



1 DDS 的基本原理

DDS 技术是一种把一系列数字量形式的信号通过 DAC 转换成模拟量形式的信号的合成技术。正弦输出的 DDS 的原理框图如图 1 所示。相位累加器在 A 位频率控制字 FCW 的控制下，以参考时钟频率 f_c 为采样率，产生待合成信号相位的数字线性序列。将其高 P 位作为地址码，通过查询正弦表 ROM 产生 S 位对应信号波形的数字序列 $S(n)$ ，再由数 / 模转换器 (DAC) 将其转化为阶梯模拟电压波形 $S(t)$ ，最后由低通滤波器 LPF 平滑为正弦波输出。

频率控制字 FCW 和时钟频率 f_c 共同决定了 DDS 输出信号的频率 f_0 ，它们之间的关系满足：

$$f_0 = (FCW/2^A) \cdot f_c \quad (1)$$

所以，在 DDS 结构及 f_c 确定的前提下，通过 FCW 的控制就可以方便地控制输出频率 f_0 。其频率分辨率为：

$$f = f_{0min} = f_c/2^N \quad (2)$$

按照 Naquist 准则，最高输出频率可达 $0.5f_c$ 。但考虑到实际低通滤波器的限制，最高输出频率一般为 $0.4f_c$ 。

由于 DAC 非线性作用的存在，使得查表所得的幅度序列从 DAC 的输入到输出要经过一个非线性过程。于就会产生输出信号 f_0 的谐波分量。又因为 DDS 是一个采样系统，所以这些谐波会以 f_c 为周期搬移，即：

$$f = \mu f_c \pm \nu f_0 \quad (3)$$

其中， μ 、 ν 为任意整数。它们落到 Nyquist 带宽内就形成了有害的杂散频率，频率的位置可以确定，但幅度难以确定。所以在工程设计过程中要充分考虑到输出频带，注意避免上述杂散分量落入其中，以此来获得较好的杂散指标。

2 DDS 芯片介绍

DDS 的诸多优点使它得到了非常广泛的应用。在数字调制方面，它可以用来实现 FSK、QPSK、8PSK 等调制。在转达频率源方面，它可以实现多点、窄步长、高相噪的点频输出的频率源以及线性调频输出频率源。在扩频通信方面，它可实现 CDMA 工作方式以及多种规律的跳频模式。



图 2 频率合成器框图

现在国外已经有非常成熟的 DDS 芯片。Qualcomm 公司推出了 DDS 系列 Q2220、Q2230、Q2334、Q2240、

Q2368, 其中 Q2368的时钟频率为 130MHz, 分辨率为 0.03Hz, 杂散控制为 -76dBc, 变频时间为 0.1 μs; 美国 AD公司也相继推出了他们的 DDS系列: AD9850 AD9851、可以实现线性调频的 AD9852 两路正交输出的 AD9854以及以 DDS为核心的 QPSK调制器 AD9853 数字上变频器 AD9856和 AD9857。AD公司的产品全部内置了 D/A 变换器, 称为 Complete-DDS。其中, AD9852时钟频率为 300MHz, 近端杂散抑制优于 -80dBc, 远端优于 -48dBc, 相位噪声为 -148dBc/Hz@10kHz, 频率跳变速度为 130ns, 频率分辨率为 1 μHz。

AD9852主要由 48 位的频率寄存器、 48 位相位累加器、正(余)弦查询表(带正交输出)、幅度调制寄存器、乘法器和 12 位 D/A 转换器构成。

AD9852可以实现单频、FSK Chirp、FMChirp、BPSK等多种输出形式。用其中的 Chirp 模式和 FSK 模式可以方便地实现跳频功能, 满足雷达跳频系统的要求。使用时只要初始化 DDS, 设定跳频持续时间和跳频间隔时间即可实现自动跳频。这比以往的 DDS芯片如 AD9850要方便得多。

AD9852的管脚分为三部分: (1) 数据及控制端口; (2) 电源部分; (3) 参考及输出部分。

由于 AD9852是目前市场上性价比较高的 DDS器件之一, 而且 AD9852具有线性调频功能, 可以实现频率的跳变。所以在雷达跳频系统中最终采用了 AD9852芯片。下面就该芯片的应用设计做一简要介绍。

3 频率合成器的设计

要让 AD9852工作, 需要按下列流程初始化:

(1) 数据在 WR信号控制下从并行输入口 D0~ D15 写入 48 位并行寄存器, 或在 SCLK控制下从串行输入口 SDATA写入 48 位串行寄存器。

(2) 对 S/P SELECT置 1 或置 0 以决定输入数据是并行还是串行。 1 为并行, 0 为串行。

(3) AD9852 芯片内部不带带通滤波器, 所以外围电路中应该实际工作需要外接带通滤波器, 滤除不需要的频率分量。

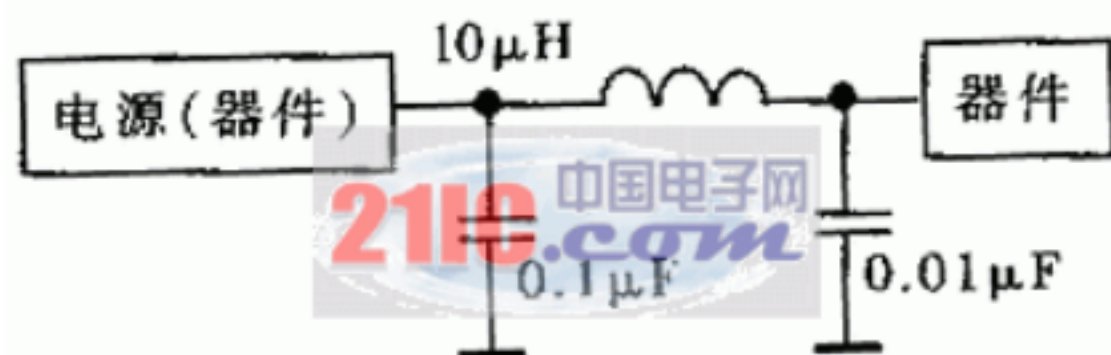


图 3 器件间或电源与器件间的去耦电路

利用一片 AD9852及简单的外围电路实现频率合成器的结构框图如图 2 所示。

根据设计过程中的实际经验, 有以下几个问题需要注意。

3.1 单片机的选择

因为 AD9852是 3.3V 系统, 所以必须选择可以工作在 3.3V 的单片机。设计之初, 忽略了这个问题, 选用了普通 51 系列芯片, 因为其输出电平只能为 5V, 高于 3.3V, DDS芯片因此被损坏。所打算采用 51 系列, 但因为其在市场上很难买到, 所以最终采用了 Microchip 公司的 PIC 系列单片机 PIC16F874。该单片机可以工作在 2.2 ~ 5.5V 的范围内。又考虑到设计要求的高速控制, PIC16F874 单片机的速度是 51 系列的 3 倍, 所以 PIC16F874 单片机满足设计要求。

3.2 单片机的外围电路

DDS的工作电压是 3.3V, 而 PIC 的掉电复位电压是 4.5V, 所以 PIC 单片机的外围电路需要使用上电复位模式。

3.3 要避免 DDS杂散较大的输出频点

在实际应用中, 还有一些点的杂散信号很大, 而且离主频很近, 无法去除。所以应该避免输出这些频点。这些频点为靠近 $fc/3$ 、 $fc/4$ 、 $fc/5$ 、 $fc/6$ 的频点。

3.4 去耦

在一个电子系统中, 通常多个器件共用一个电源。而电源线给交流信号提供了一个通路, 使得交流信号通过电源线在器件之间传输, 形成了干扰。所以必须在器件之间和电源到器件之间的电源线上加入滤波部分, 滤掉交流干扰, 称为去耦。电源的去耦通常用几个并联电容和串联电感来实现, 如图 3 所示。

3.5 接地

接地可以分为单点接地和多点接地。一般认为, 连线长度大于信号波长的二十分之一时, 应采用多点接地; 反之, 则采用单点接地。

实现多点接地就要在 PCB板上布出一个面积较大地接地面, 此接地面又与接大地的屏蔽外壳大面积接触。这样整个地的阻抗很小, 电位可以认为是一致的, 各器件就近接地, 就避免了在线上形成干扰。

在数模混和的电路中，由于数字部分干扰源很多，所以模拟部分易受影响。因此要注意把模拟地和数字地分开。一般的方法是用一根线来连接数字地和模拟地，而且只在一处相连，这样就可以较好地切断数字部分的干扰源。

3.6 充分利用 DDS的 sweet pots

如前所述，在 DDS中，其相位累加器的位数为 A ，但用来查询正弦表的位数只有其高 P 位，剩下的就四舍五入丢弃了，这样做会产生一种相位截断误差。但是如果相位累加器中的 $A-P$ 位恰好为 0，其输出频点的特性就会比较好，这就是所谓的“sweet pots”。所以在 DDS单点输出时，使 DDS尽量在 sweet pots 频点输出，可以达到优化输出特性的目的。

3.7 DDS 参考信号输入端的注意事项

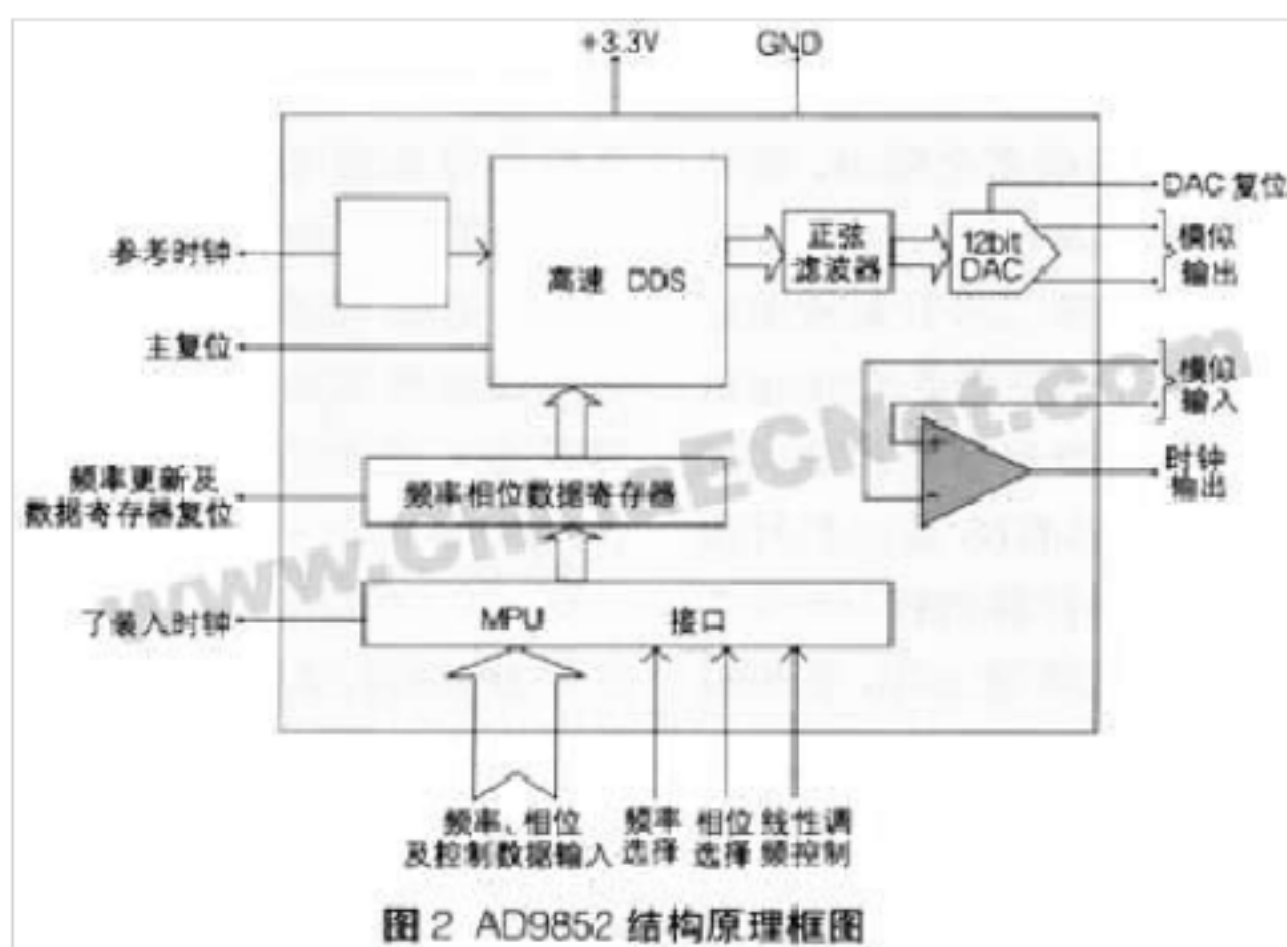
由于采用了参考信号单端输入的方式，所以 REFCLKB端应该接地或电源；参考信号输入端 REFCLK要跟电源相连接。因为 DDS的参考信号要求有 1.6V 的直流电平，在参考信号输入到 REFCLK端的端点处，应接一个 5.1k 的电阻到 3.3V 直流电源，同时接一个 0~10k 的可变电阻（此处取 5k）到 100 的电阻，经过电阻分压，REFCLK端就有 1.6V 的直流电压。这个 0~10k 的可调电阻同时用来微调 REFCLK端对地的电阻，以调节 REFCLK的直流电位，具体情况请参看图 4。图 4 中的 II 形滤波部分是为了滤除电源对 REFCLK端的干扰。

检验证明，利用 AD9852设计的频率合成器具有跳频速度快、频率分辨率高、体积小、系统工作稳定、使用方便等优点。因此它有很强的实用价值。

4 信号的产生

4.1 AM 信号的产生

设需要产生一个载波频率为 f_0 ，调制频率为 f 的幅度调制信号，则给 AD9852 输入一个 48 位的频率控制字，产生一个频率为 f_0 的固定幅度的载波。AD9852 可以通过数字乘法器控制输出信号的幅度，要产生一个调制频率为 f 的振幅调制信号，只需产生一系列随着调制信号幅度变化的幅度控制字，则可直接产生数字式的调幅波。AM 信号产生原理如图 3 所示。



4.2 FM 信号的产生

根据 (1) 式，通过改变频率控制字 K ，可以迅速改变输出信号的频率。因此，FM 信号的产生和前面的 AM 信号产生相似，按照调制信号幅度的变化，实时改变频率控制字使输出的频率随调制信号的幅度变化。

特别地，AD9852 通过改变工作模式，可以产生线性调频信号 (Chirp)，通过改变时间步进量(斜率计数器)和频率步进量(频率字)来产生不同斜率，从而实现非线性扫频。FM 信号产生原理如图 4 所示。



图 3 AD9852 芯片产生 AM 信号的原理框图

4.3 二进制 PSK 信号的产生

两点(二元或两相位)相移键控是在预先设置好的两个 14 位相移量中快速切换。其控制信号为芯片的一个管脚“BPSK”，“BPSK”端的逻辑状态选择相移量，当为低时，选择相位 1；为高时，选择相位 2。在“BPSK”上输入巴克码信号，则输出信号为二相巴克码信号。



图 4 AD9852 产生调频信号的原理框图

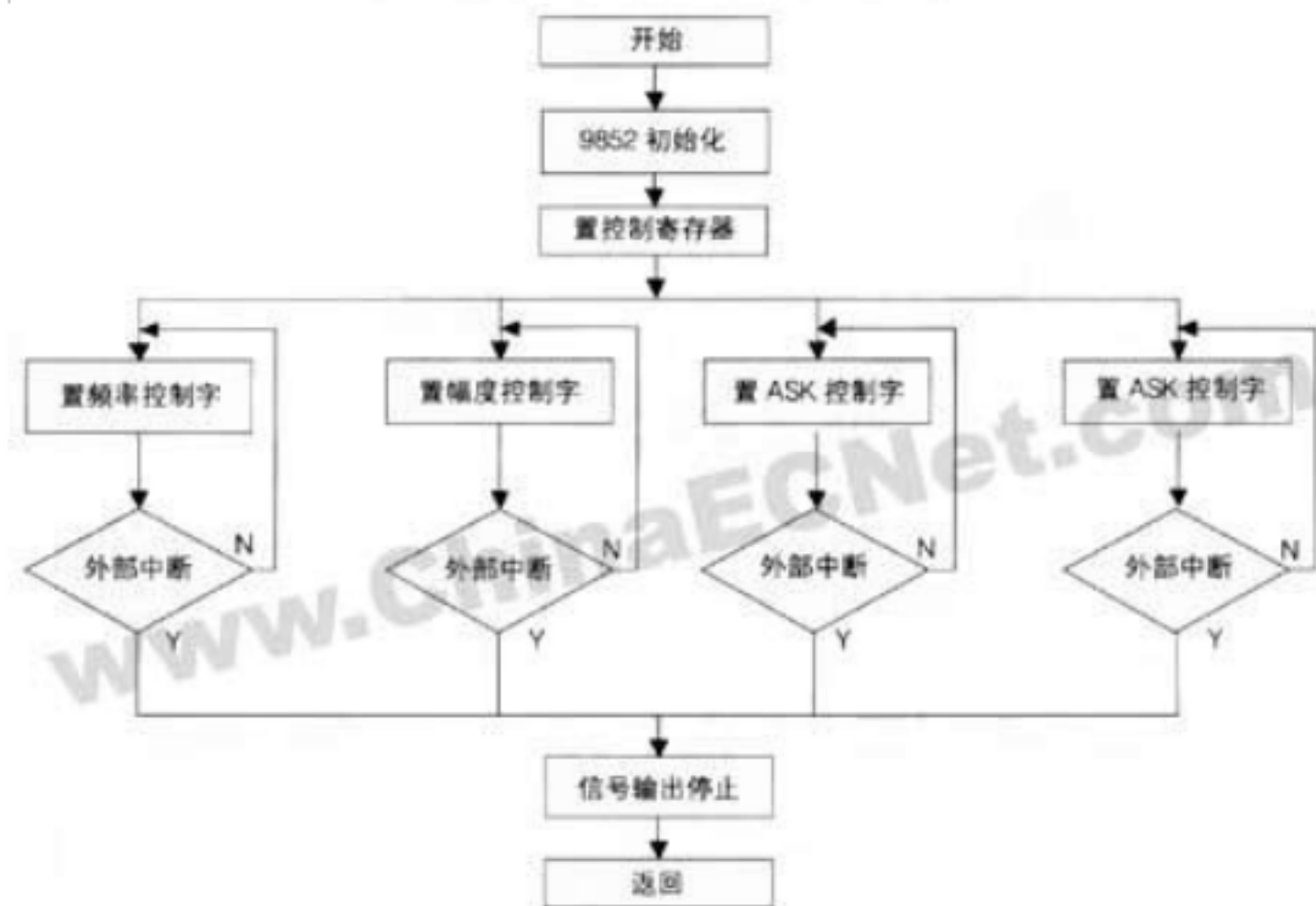
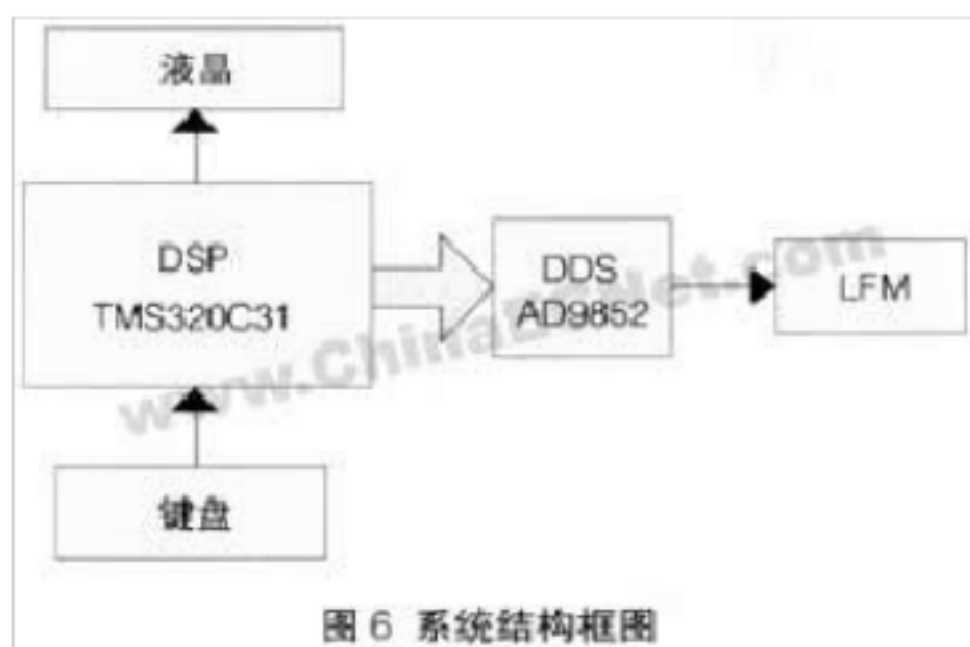


图 5 AD9852 控制部分程序设计流程图

4.4 二进制 ASK 信号的产生

DDS 集成芯片 AD9852 内部包含“通断整形键控”。“通断整形键控”功能使用户控制数模变换器的输出幅度渐变上升和下降，可减小反冲频谱，幅度突变会在很宽的频谱范围内产生冲击，要用此功能首先使数字乘法器有效，输出幅度渐变可在内部自动进行，也可由用户编程控制。当数字乘法器的输入值全 0 时，输入信号乘以 0，产生零幅度；数字乘法器全 1 时，输入信号乘以 1，是满幅度。

系统结构如图 6 所示，由于系统是通过实时改变 DDS 的幅度控制字和频率控制字，来实现调幅和调频的功能，因此对控制器的处理速度提出了较高的要求，本设计采用 DSP 芯片 TMS320C31 为控制器，通过键盘和液晶显示作为用户的人机接口。由于 DDS 输出的信号是通过 DAC 产生的，因此不可避免的存在一些杂散，故需在 DDS 输出级设计一个低通滤波器。



用 AD9852 实现调制信号的产生,突出地体现了直接数字频率合成器的频率分辨率高(达到 10-6Hz)、频率转换速度快(达到纳秒级)、输出频谱纯的特点。同时通过控制其调幅、调相、(非)线性调频等功能,可产生多种复杂波形信号。

三、AD9954 结构特点

AD9954 是采用先进的 DDS 技术开发的高集成度 DDS 器件。它内置高速、高性能 D/A 转换器及超高速比较器,可用为数字编程控制的频率合成器,能产生 200MHz 的模拟正弦波。AD9954 内含 1024×32 静态 RAM,利用该 RAM 可实现高速调制,并支持几种扫频模式。AD9954 可提供自定义的线性扫频操作模式,通过 AD9954 的串行 I/O 口输入控制字可实现快速变频且具有良好的频率分辨率。其应用范围包括灵敏频率合成器、可编程时钟发生器、雷达和扫描系统的 FM 调制源以及测试和测量装置等。AD9954 的内部结构如图 1 所示,其主要特性如下:

- 内置 400MSPS 时钟;
- 内含 14 位 DAC;
- 相位、幅度可编程;
- 有 32 位频率转换字;
- 可用串行 I/O 控制;
- 内置超高速模拟比较器;
- 可自动线性和非线性扫频;
- 内部集成有 1024×32 位 RAM;
- 采用 1.8V 电源供电;
- 可 4~20 倍倍频;
- 支持大多数数字输入中的 5V 输入电平;
- 可实现多片同步。

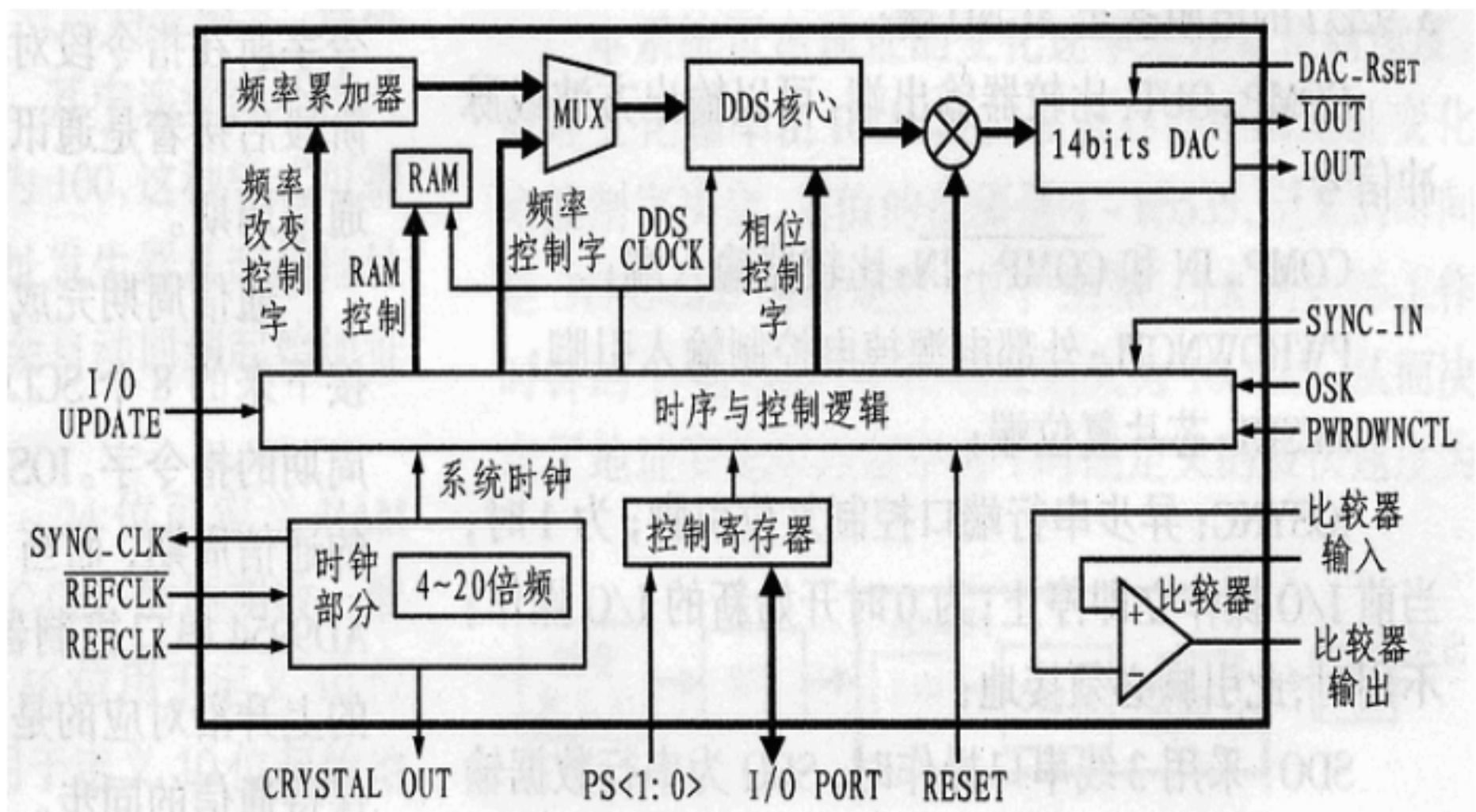


图 1 AD9954 的内部结构图

2 引脚说明

AD9954 采用 48 脚 TQFP/EP 封装，其引脚排列 发图 2 所示，各引脚定 义如下：

I/O UPDATE：在该引脚的上升沿可把 内部缓冲存储器中的 内容送到 I/O 寄存器中。引脚 电平的建立和保持与 SYNC-CLK 输出信号有关；

DGND 和 AGND：数字地与模拟地；

OSC/REFCLK 和 OSC/REFCLK：参考时钟或振 荡输入端；

CYRSTAL OUT：振荡器输出端；

CLKMODESELECT：振荡器控制端，为 1 时使能振 荡器，为 0 时不使能振 荡器；

LOOP_FILTER：该引脚应与 AVDD 间串联一个 1k 电阻和一个 0.1 μ F 电容；

IOUT 和 IOUT：DAC 输出端，使用 时应接一个上接电阻；

DACBP：DAC 去耦端，使用 时应接一个 0.01 μ F 的旁路 电容；

DAC_RSET：DAC 复位端，使用 时应通过一个 3.92k 的电阻接至 AGND 端；

COMP_OUT：比较器输出端，可以 输出方波或脉冲信 号；

COMP_IN 和 COMP_IN：比较器输入端；

PWRDWNCTL：外部 电源掉电控制输入引脚；

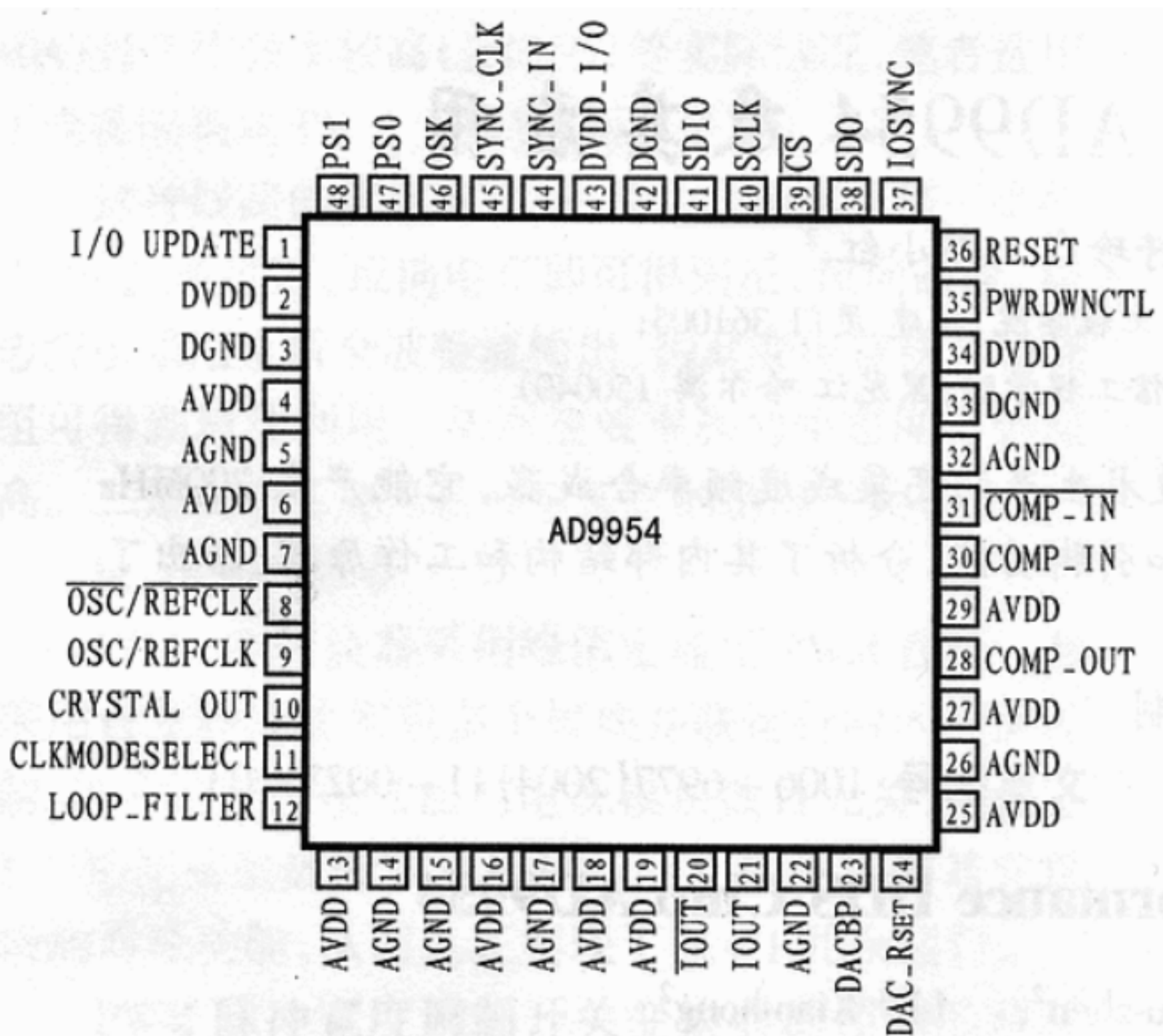


图 2 AD9954 的引脚图

RESET：芯片复位端；

IOSYNC：异步串行端口控制 复位引脚；为 1 时，当前 I/O 操作立即停止；为 0 时开始新的 I/O 操作；不用时，此引脚必须接地；

SDO：采用 3 线串口操作时，SDO 为串行数据输出端。采用 2 线串口操作时，SDO 不用，可以不连；

CS：片选端，低电平有效，允许多芯片共用 I/O 总线；

SCLK：I/O 操作的串行数据时钟输入端；

SDIO：采用 3 线串口操作时，SDO 为串行数据输入端，采用 2 线操作时，SDO 为双向串行数据端。

DVDD_I/O；I/O 电源，可以是 1.8V 或 3.3V；

SYNC_IN：同步多片 AD9954 输入信号，使用时与主 AD9954 的 SYNC_CLK 的输出相连；

SYNC_CLK：时钟输出脚，为内部时钟的 1/4，可用作外围硬件同步；

OSK：在编程操作时可用该脚来控制幅度与时间斜率，与 SYNC_CLK 同步；当 OSK 不能被编程时，此脚接 DGND；

PS1 和 PS0：可用来选择 4 个 RAM 段控制字区中的一个。

3 AD9954 的串行操作

在 AD9954 的串行操作中，指令字节用来指定读/写操作和寄存器地址。由于串行操作是在寄存器级别上发生的，因此串行端口控制器应能识别指令字节寄存器地址和自动产生适当的寄存器字节地址。在串行操作指令阶段和通信阶段，一般先传送指令阶段的指令字，指令阶段对应于 SCLK 的前 8 个上升沿，其对应的指令字（8 比特）包含了以下信息：

MSB	D6	D5	D4	D3	D2	D1	LSB
R/W	X	X	A4	A3	A2	A1	A0

其中 R/W 位用于决定指令字后的操作是 读还是写，高电平为读出，低电平为写入；6、5 位的电平高低与操作无关；4~0 位则对应于 A4~A0，表示操作串行寄存器地址，该地址信息同时包含了与该

指令字所在指令段 对应的通信段的 传送字节数。指令 阶段后接着是通 讯阶段，传送对应于字 节数的几个 通信周期。

通信周期完成后， AD9954 的串口控制器即 认为 接下来的 8 个 SCLK 的上升沿 对应的是下一 个通 信周期的指令字。 IOSYNC 引脚为高时将 立即 终止当前的通信周期，而 当 IOSYNC 引脚 状态回到低 电平时，AD9954 串口控制器即 认为 接下来的 8 个系统时钟 的上升沿 对应的是下一 个通 信周期的指令字， 从而保持通信的同步。

AD9954 的串行操作有 两种数 据传送方式，即从最高位 开始传送和 从最低位 开始传送，这是由控制 寄存器 0 的第 8 位来决定的。默 认状态为 低电平，此 时先传送最高位，若 为高电 平则先传送最低位。 串行操作的 读/写时序如图 3 所示。

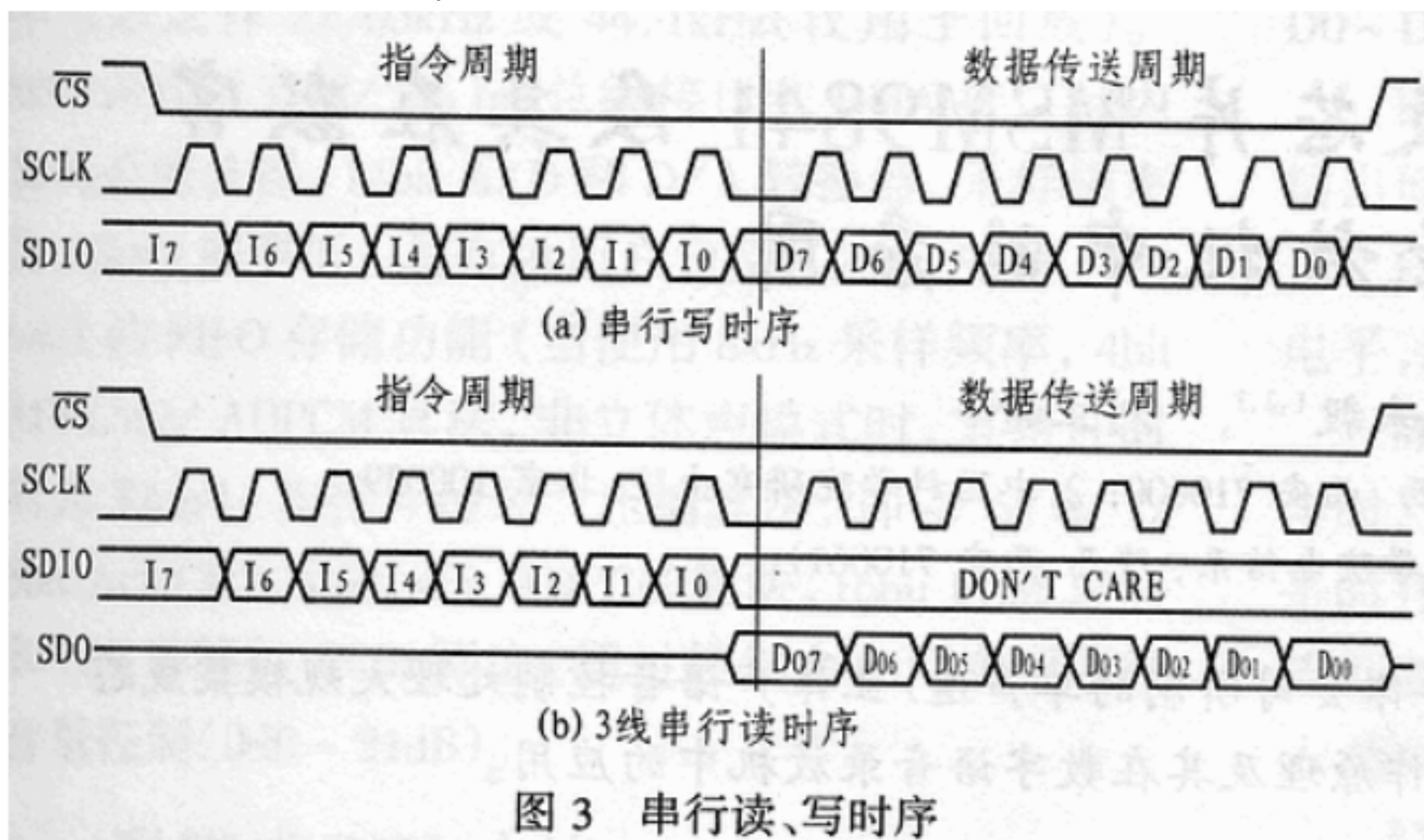


图 3 串行读、写时序

4 AD9954 的 RAM

AD9954 内部的 1024×32 静态 RAM 具有双向单一入口，对它进行的读/写操作不能同时进行，写操作优先。RAM 的使能位是 CFR<31>（控制功能寄存器 31 位），此位为低时，对 RAM 的操作只能通过串行端口；此位为高且 CFR<30> 为逻辑 0 时，RAM 的输出为相位累加器的输入，此时给芯片提供的是频率转换字；此位为高且 CFR<30> 为逻辑 1 时，RAM 的输出可作为相位偏移加法器的输入给芯片提供相位偏移控制字。写 RAM 的操作首先通过控制 PS1、SP0 来选择 RAM 段。然后再对相应的 RAM 控制寄存器写 RAM 操作的地址变化率、起始地址、终止地址、模式控制和停留方式位。RAM 段控制寄存器的 5、6、7 位用来指示 RAM 操作的 5 种模式，即直接转换模式、上斜坡模式、双向斜变模式、连续双向斜变模式和连续循环模式。其中连续循环模式是使能 RAM，RAM 模式控制字为 100，这种模式可提供自动、连续、单向的扫频，地址发生器从起始地址开始，当其增加到终止地址后会自动回到起始地址重新开始下次循环。

RAM 段控制寄存器的 39 ~ 24 位可定义 RAM 控制器在每个地址停留的 SYNC_CLK 的周期数，取值范围是 1 ~ 65535；9、8、23 ~ 16 位用于定义 10 位终止地址；3 ~ 0、15 ~ 10 位则用于定义 10 位起始地址。

5 在高速调制系统中的应用

调制信号对干扰有较强的抵抗作用，同时对相邻信道的信号干扰也较小，并具有解调方便且易于集成等优点，因此数字调制信号系统可广泛应用于现代通信设备及科研教学仪器中。由于受频率精确度、稳定性和范围等因素的制约，提高数字调制方式中的 FM 速度是难点，用高性能 DDS 芯片 AD9954 可以很好的解决这个问题。AD9954 具有良好的频率分辨率和快速、连续的变频能力，它内部有静态 RAM，能实现高速数字调频。

数字调制信号系统采用 DSP 作为控制电路的核心，来向 AD9954 写命令字，AD9954 将产生所需频率的正弦或调制信号，并经低通滤波器后输出。

AD9954 的串口与 DSP 相连，DSP 通过 AD9954 的 CS、SCLK、SDIO 和 SDO 管脚向 AD9954 写入数据和控制字。首先设置特定的寄存器控制字，以允许 RAM 工作，接着将 RAM 输出作为相位累加器的输入给芯片提供频率转换字，然后写好 RAM 段控制寄存器的值，定义好起始地址、终止地址并选择好工作模式。例如，在 RAM 地址 256 ~ 511 中写入计算好的频率值，主要操作过程如下：

- (1) 允许 RAM 操作，清除 CFR<30> ；
- (2) 选择模式 5 即连续循环模式；
- (3) 选择 RAM 段 1，PS0=1,PS1=0 ；
- (4) 指令字节为 00001001 ；
- (5) 定义通信阶段的通信周期数为 256，把数据写入 RAM 存储器地址 256 ~ 511 中；
- (6) 改变 I/O UPDATE 启动模式工作。

本系统可由地址的变化速率来计算调制速度，地址变化速率 RAM 段控制寄存器中的地址变化率控制字决定，其值的范围是 1 ~ 65535，定义的时间是 SYNC_CLK 的周期数。由于 SYNC_CLK 最大为 100MHz，从而决定了地址变化率控制字为 1 时能定义的最快速度为 100MHz，假设一个波形要采集 256 个点，那么调制速度为 $100\text{ MHz}/256=400\text{ kHz}$ ；如果采样点为 100 个，则调制速度可达 $100\text{ MHz}/100=1\text{ MHz}$ 。由于 AD9954 产生的调制波形采样点多，采样时间精确，因此波形性能较好。

高性能 DDS 芯片由于其 AD9954 内部集成有 RAM，因此，利用 RAM 的存储功能，能够产生频率分辨率高，波形性能好，调制速度高达 1 MHz 的调频波，该速度是其他 DDS 芯片的几十 ~ 几百倍，因而可广泛应用于数字调制系统的设计之中。

四、基于 FPGA 的 DDS 调频信号的研究与实现

直接数字频率合成器 (DDS) 技术，具有频率切换速度快，很容易提高频率分辨率、对硬件要求低、可编程全数字化便于单片集成、有利于降低成本、提高可靠性并便于生产等优点。目前各大芯片制造厂商都相继推出采用先进 CMOS 工艺生产的高性能和多功能的 DDS 芯片，专用 DDS 芯片采用了特定工艺，内部数字信号抖动很小，输出信号的质量高。然而在某些场合，由于专用的 DDS 芯片的控制方式是固定的，故在工作方式、频率控制等方面与系统的要求差距很大，这时如果用高性能的 FPGA 器件设计符合自己需要的 DDS 电路就是一个很好的解决方法，它的可重配置性结构能方便的实现各种复杂的调制功能，具有很好的实用性和灵活性。

1、DDS 调频信号发生器框图设计

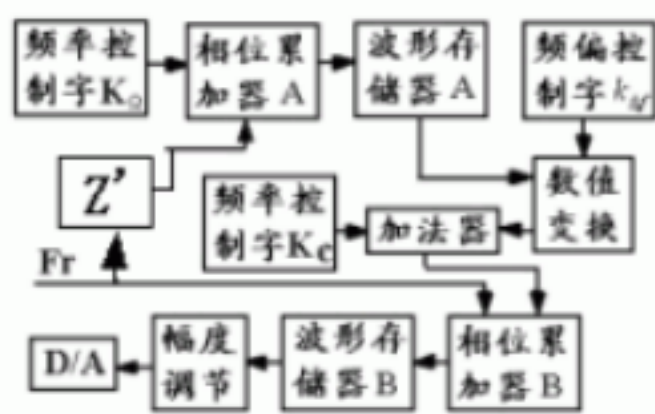


图 1 DDS 调频原理框图

设调制信号为 $u_{\Omega}(t) = U_{\Omega M} \cos \Omega t = U_{\Omega M} \cos(2\pi f_{\Omega} t)$

载波为 $u_c(t) = U_{cM} \cos \omega_c t = U_{cM} \cos(2\pi f_c t)$ ，设相位累加器位数为 x ($P_0 = 2^x$)，系统时钟为

f_r ，调制信号为 f_{Ω} ，分频系数为 Z' ，则调制信号时钟 $f_{rk} = \frac{f_r}{Z'}$ ，则相位累加器 B 累加次数 i 与

相位累加器 A 累加次数 j 之间存在关系 $j = \text{floor}(\frac{i}{Z'})$ ，故可得出

调制信号为 $u_{\Omega}(jT_r) = U_{\Omega M} \cos(\frac{2\pi k_{\Omega}}{P_0} \text{floor}(\frac{j}{Z'}))$

载波为 $u_c(iT_r) = U_{cM} \cos(2\pi i k_c / P_0)$

其中调制波频率控制字 $k_{\Omega} = \frac{f_{\Omega} P_0}{f_r}$ ，载波频率控制字 $k_c = \frac{f_c P_0}{f_r}$ 。

由此可得调频波频率控制字 $k = k_c + k_{df} \cos(\frac{2\pi k_{\Omega}}{P_0} \text{floor}(\frac{i}{Z'}))$ (k_{df} 为频偏控制字)

故 DDS 调频公式为 $u_{pm}(iT_r) = U_{cM} \cos(\frac{2\pi}{P_0} \sum_0^i (k_c + k_{df} \cos(\frac{2\pi k_{\Omega}}{P_0} \text{floor}(\frac{j}{Z'}))))$

2、DDS 调制信号发生器 FPGA 电路设计

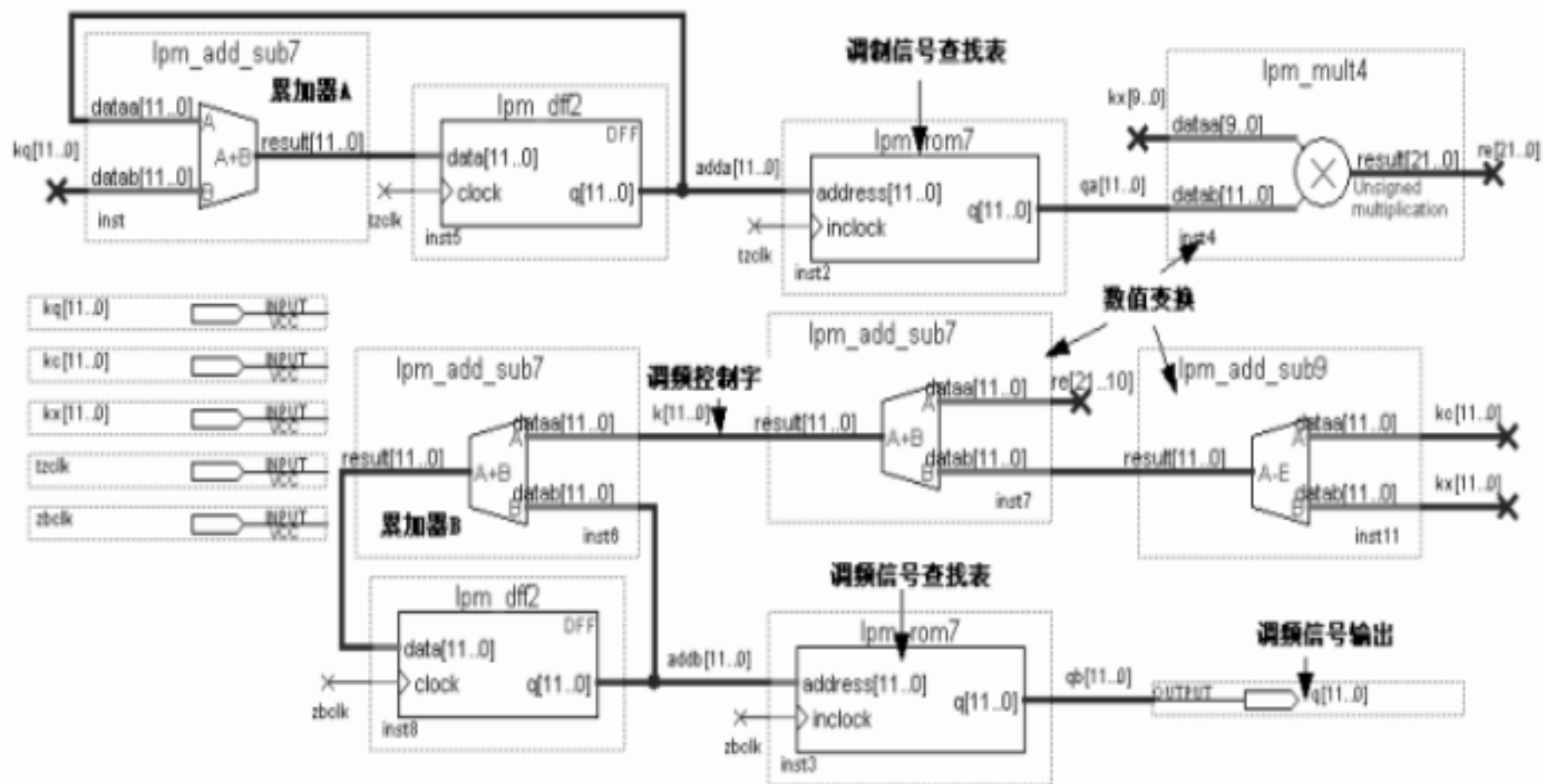


图2 DDS调频信号发生器核心单元的FPGA电路设计

图 2 给出了 DDS 调制信号发生器核心单元的 FPGA 电路设计图。其设计方案采用 ALTERA 公司的 Cyclone 系列 EP1C6T144C6 芯片，加法器为 12 位，调制信号波形存储器为 $4096 \times 12\text{BIT}$ ，载波信号波形存储器为 $4096 \times 12\text{BIT}$ ，系统时钟为 80MHz；设计性能参数：载波频率可达 10MHz（为确保波形不失真，一周期至少取 8 点），调制频率范围 0~100K，调频深度 0~10。外部电路输入有调制信号频率控制字 $Kh[11..0]$ ，载波信号频率控制字 $Kc[11..0]$ ，频偏控制字 $Kx[11..0]$ ，调制信号系统时钟 $TZCLK$ ，载波信号系统时钟 $ZBCLK$ 。 $Kh[11..0]$ 经累加器 A 输出累加相位 $ADDA[11..0]$ 作为调制信号查找表的地址，波形数据 $Qa[11..0]$ 和 $Kx[11..0]$ 和 $Kc[11..0]$ 经过数值变换后输出调频控制字 $K[11..0]$ 。 $K[11..0]$ 经累加器 B 输出累加相位 $ADDB[11..0]$ 作为调频信号查找表的地址，波形数据

